



Abschließender Sachstandsbericht
Leibniz-Wettbewerb

AIN electronics for a new generation of high-power devices (AIPower)
Antragsnummer: SAW-2017-FBH-1

Berichtszeitraum: 01.01.2017 - 31.06.2020

Federführendes Leibniz-Institut: Ferdinand-Braun-Institut Berlin

Projektleiter/in:

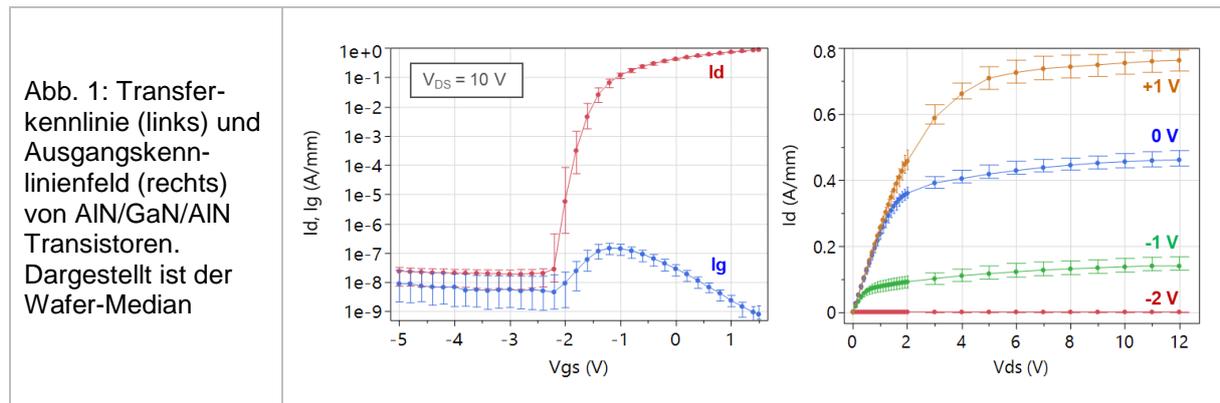
Oliver Hilt

Inhalt

1.	Zielerreichung und Umsetzung der Meilensteine	3
2.	Aktivitäten und Hindernisse.....	5
2.1	Epitaxieentwicklung	5
2.2	Ohmsche Kontakte	5
2.3	Bauelementprozessierung	6
2.4	Dynamisches Verhalten der Bauelemente	6
2.5	Konvergenzentwicklung und Aufbau	7
3.	Ergebnisse und Erfolge.....	7
3.1	Publikationen	7
3.2	Wissenschaftliche Veranstaltungen	7
3.3	Drittmittelinwerbung	8
3.4	Öffentlichkeitsarbeit	8
4.	Chancengleichheit.....	8
5.	Qualitätssicherung.....	8
6.	Zusätzliche eigene Ressourcen.....	8
7.	Strukturen und Kooperation	8
8.	Ausblick.....	8

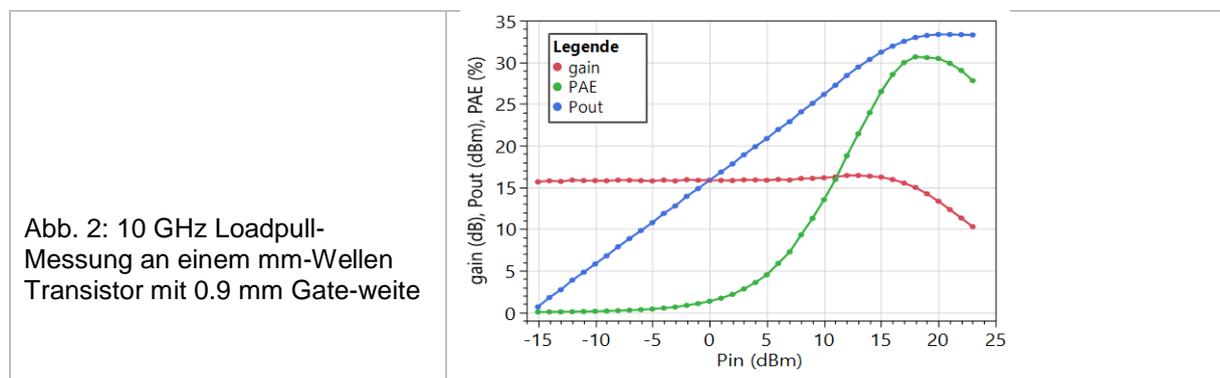
1. Zielerreichung und Umsetzung der Meilensteine

Transistoren mit AlN Barriere, GaN Kanal und AlN Puffer konnten mittels MOCVD-basierten Wachstums der Halbleiterschichten auf 4" SiC-Substraten und der FBH Prozesstechnologie realisiert werden. Dabei entsprachen die wichtigsten elektrischen Kennzahlen der Bauelemente, wie Stromdichte, Einschaltwiderstand und Sperrleckstrom den Erwartungen (Abb. 1). Eine ausreichende Spannungsfestigkeit des Gatemoduls konnte aber nicht erreicht werden, so dass die AlN/GaN/AlN Transistoren nur bis zu einer (unzureichenden) Drainspannung von 50 V betreibbar waren. Um trotzdem zu einsetzbaren Bauelementen zu gelangen, wurde die AlN Barriere durch eine AlGaN Barriere ersetzt. Dies ermöglichte dann die Realisierung der mm-Wellen Transistoren und der Hochspannungstransistoren mit Sperrspannungen bis oberhalb 1700 V. Der **Meilenstein M1** (Basic AlN/GaN transistor demonstrated) wurde erreicht.



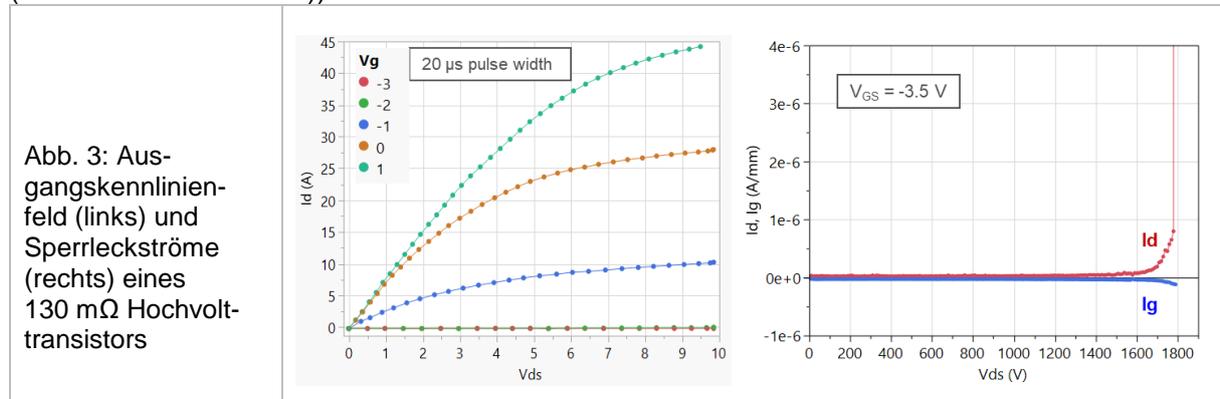
Für die Transistoren mit AlN Barriere musste eine neue Technologie für die ohmschen Source- und Drainkontakte entwickelt werden. Durch eine geeignete Kombination von einer Recess-Ätzung der AlN-Barrierschicht und einer neuen Metallurgie zum Einlegieren des Kontaktmetallstapels wurden Kontaktwiderstände im Bereich von 0.29 - 0.40 Ω mm mit einem Wafer-Median von 0.36 Ω mm erreicht. Die Entwicklung eines mittels n-dotiertem GaN überwachsenen ohmschen Kontaktes waren mit Kontaktwiderständen um die 6 Ω mm weniger erfolgreich. So wurde im weiteren Projektlauf auf die auf der Ätztechnologie beruhende Kontakttechnologie zurückgegriffen. Der **Meilenstein M2** ($R_c < 0.3 \Omega$ mm) wurde für Wafer-Mediandaten (knapp) nicht erreicht, einzelne Transistoren erreichten aber den Meilenstein.

Auf Basis des AlGaN/GaN/AlN Halbleiterstapels wurden mm-Wellen Transistoren mit einer Gatelänge von 150 nm hergestellt. Die typischen elektrischen DC Kennwerte sind 1.1 A/mm maximaler Drainstrom, 2.9 Ω mm Einschaltwiderstand, 200 V Spannungsfestigkeit und 30 μ A/mm Sperrleckstrom.



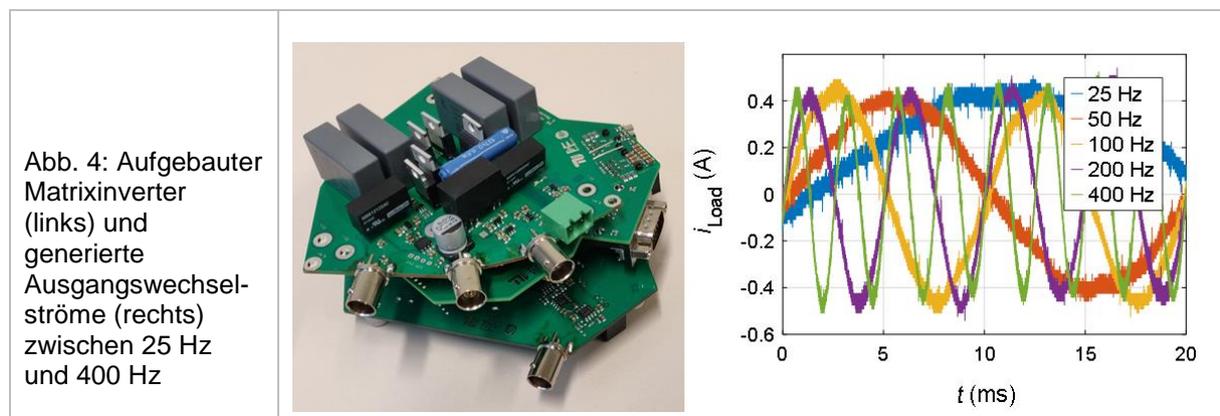
Allerdings konnten die im Meilenstein 3 geforderten Leistungswerte nicht erreicht werden. 10 GHz Loadpull-Messungen an einem Transistor mit 0.9 mm Gateweite ergaben eine maximale Leistungsdichte von nur 2.4 W/mm bei einer Verstärkung von 16.4 dB und einer Effizienz (PAE) von 31% (Abb. 2). Diese Leistungs- und Effizienzwerte sind geringer als für

vergleichbare GaN Transistoren auf Basis einer konventionellen eisendotierten GaN Pufferschicht. Die Ursache liegt in elektrischen Dispersionsphänomenen, die wohl auf Materialdefekte des GaN-Kanals zurückzuführen sind, die beim GaN Wachstum direkt auf der AlN Pufferschicht auftreten, siehe auch Kapitel 2. Der **Meilenstein M3** ($P(30 \text{ GHz}) = 10 \text{ W}$ (small device: 7 W/mm)) wurde nicht erreicht.



Die hohe rückseitige Potentialbarriere des AlN Puffers zum GaN Transistorkanal führt im Vergleich zu herkömmlichen GaN Transistoren mit kompensationsdotiertem GaN Puffer tatsächlich zu einer deutlichen Erhöhung der Durchbruchspannungsskalierung von $80\text{-}120 \text{ V}/\mu\text{m}$ auf $150 \text{ V}/\mu\text{m}$. Dies wurde sowohl für die neuen mm-Wellen Transistoren als auch für die neuen Hochspannungstransistoren gemessen. Für die Hochspannungstransistoren führt dies zu besonders hohen Werten der für leistungselektronischen Schalttransistoren relevanten Leistungskennzahl $V_{Br}^2/(R_{ON}A) = 2.4 \text{ GW/cm}^2$, welche die Durchbruchspannung ins Verhältnis zum flächenspezifischen Einschaltwiderstand setzt. Die erzielten Werte übertreffen dabei den aktuellen Stand der Technik für konventionelle GaN-basierte Schalttransistoren. Es wurden 1200 V Transistoren mit $130 \text{ m}\Omega$ Einschaltwiderstand bzw. $13 \Omega\text{mm}$ spezifischen Widerstand demonstriert (Abb. 3), somit wurde der **Meilenstein M4** ($200 \text{ m}\Omega / 1200 \text{ V}$ transistor with $17 \Omega\text{mm}$) erreicht.

Der Projektpartner TU Berlin (TUB) war für Entwicklung, Aufbau und Testen eines Matrixinverters zuständig. Mit einer bidirektionalen Variante der AlN-basierten Hochspannungstransistoren lässt sich das innovative Konverterkonzept des Matrixinverters effizienter und bei höheren Spannungen betreiben, als mit herkömmlichen Transistoren. Da der Einsatz der Transistoren im System erst für das letzte Drittel der Projektlaufzeit zu erwarten war, wurde der Matrixkonverter erst einmal auf Basis von vergleichbaren kommerziellen 650 V GaN Transistoren aufgebaut (Abb. 4).



Die Funktionsfähigkeit des Umrichters wurde für Schaltfrequenzen bis 200 kHz bis 100 W Ausgangsleistung für eine der drei Phasen demonstriert, siehe Abb. 4. Die innerhalb der Projektlaufzeit an die TU gelieferten AlN-basierten Hochspannungstransistoren zeigten während des harten Schaltens eine starke Schwingungsneigung und ein stark verzögertes Ausschalten, da die Miller-Spannung zu nah an der destruktiven Gatespannung lag. Dies

verhinderte den sinnvollen Einsatz der AlN-basierten Transistoren im Matrixinverter. Für später im Projekt realisierte Transistoren konnte das Problem gelöst werden, allerdings war deren Einbau in den Inverter innerhalb der Projektlaufzeit nicht mehr möglich. Der **Meilenstein M5** (4 kW matrix converter with 1200 V AlN/GaN) konnte nicht erreicht werden.

2. Aktivitäten und Hindernisse

2.1 Epitaxieentwicklung

Der Übergang von einem kompensations-dotiertem GaN Puffer zu einer AlN-Puffer Struktur war eines der wesentlichen Arbeitspakete bei der Epitaxieentwicklung und Voraussetzung zur Realisierung der AlN-basierten Transistoren. Für das Wachstum von AlN in der MOVPE sind hohe Wachstumstemperaturen notwendig, um die geringe Oberflächenbeweglichkeit der Al-Adatome zu kompensieren. Dabei sind Wafertemperaturen von oberhalb 1200°C anzustreben, um unkoaleszierte Bereiche auf der Oberfläche (Pits) zu vermeiden. Wachstumsbedingungen von durchweg > 1200°C konnten erst zum Ende des Projektzeitraums nach dem Übergang auf eine neue Hochtemperatur-MOVPE-Anlage erzielt werden. Entsprechend stieg dann die Spannungsfestigkeit und die Ausbeute der Transistorstrukturen auf den Wafern an.

Als große Herausforderung erwies sich das Wachstum einer defektreduzierten und glatten GaN-Kanalschicht. Die hohe Gitterfehlpassung zwischen AlN und GaN von 2.4% hat Relaxationseffekte bei der Heteroepitaxie von wenigen Nanometer GaN auf AlN zur Folge. Damit verbunden ist ein initiales Inselwachstum der GaN Kanalschicht was zu erheblichen Rauigkeiten bei üblichen GaN-Wachstumstemperaturen und geringen Schichtdicken (< 500 nm) führt. Mittels Röntgenbeugung konnte der Relaxationsgrad einer 100 nm GaN-Kanalschicht zu 85% bestimmt werden. Untersuchungen zur Defektentstehung an der Heterogrenzfläche mittels Transmissionselektronen-Mikroskopie (Abb. 5) zeigen Misfit-Versetzungen, die ihren Ausgangspunkt an der AlN-GaN-Grenzfläche haben. Zur Vermeidung größerer Rauigkeiten wurde die Wachstumstemperatur zu Beginn des GaN-Wachstums reduziert, um die Inselbildung weitestgehend zu unterdrücken. Die Defekte an der Heterogrenzfläche sind eine Hauptursache für die beobachteten neuen Dispersionsphänomene in den AlN-basierten Transistoren, siehe Kap.2.4.

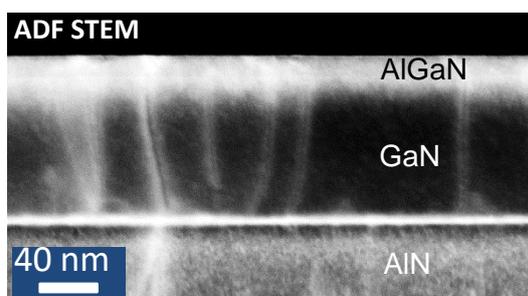


Abb. 5. Raster-Transmissions-Elektronenmikroskopie-Aufnahme des GaN-Kanal-Bereiches.

Beim MOVPE-Wachstum der AlN-Barriere hat sich gezeigt, dass eine erhebliche Verschleppung von Ga in die nominell binäre Schicht infolge parasitärer GaN-Belege im Reaktor zu verzeichnen ist. Im Ergebnis weisen AlN-Schichten mit Schichtdicken im Bereich 5 nm einen mittleren Ga-Gehalt von bis zu 50% auf. Zur Vermeidung von Reproduktionsproblemen wurden daher zunächst 10 nm dünne AlGaN-Barrieren mit 31% Al-Konzentration eingesetzt, die bereits gute Stromdichten in den prozessierten Bauelementen ergaben.

2.2 Ohmsche Kontakte

Zur Erzielung niederohmiger Kontakte für Source und Drain durch die AlN-Barriere hindurch wurden die beiden Ansätze des Rückätzens (Recess) der Barriere und des selektiven Überwachsens mit einer hochdotierten n-GaN Schicht verfolgt, wobei sich der Recess-Ansatz als erfolgreicher herausstellte. Die nötige Präzision in der Recess-Ätzung konnte mittels trockenchemischer Ätzverfahren erreicht werden. Das selektive Überwachsen mit n-GaN in

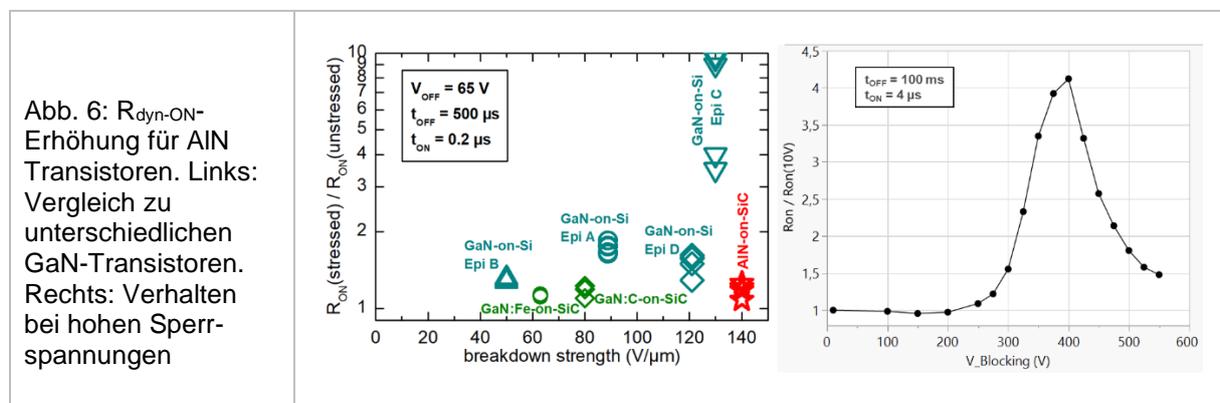
einem zweiten Epitaxieschritt erwies sich als schwierig, da durch den geringen zu überwachsenden Oberflächenanteil auf dem Wafer das Wachstum durch die laterale Gasdiffusionsrate der Precursor dominiert wurde. Als Folge hing die n-GaN Schichtdicke und die Materialqualität von der lateralen Position im 100 μm -Maßstab auf der Transistorstruktur ab. Auch wegen der im Vergleich zum Recess-Ansatz erzielten 10-mal höheren Kontaktwiderstände wurde der Überwachungsansatz fallen gelassen.

2.3 Bauelementprozessierung

Zur Herstellung der mm-Wellen Transistoren und der Hochspannungstransistoren auf den 4" Wafern wurden unterschiedliche Prozessfolgen und Prozessmodule gewählt. Die mm-Wellen Transistoren basieren auf 150 nm langen Gates, für die Hochstrommetallisierung wurden Luftbrücken zur Kreuzung der Verdrahtungsebenen eingesetzt. Die Hochspannungstransistoren basieren auf 700 nm langen Gates. Für die nötige Spannungsfestigkeit werden hier alle Metallisierungen in eine isolierende Polymerschicht eingebettet. Beide Varianten basieren auf derselben Technologie für die ohmschen Kontakte und die Gates sind jeweils als Iridium-basierter Schottky-Kontakt ausgeführt.

2.4 Dynamisches Verhalten der Bauelemente

Im dynamischen Verhalten der AlN-basierten Transistoren konnte im Vergleich zu konventionellen GaN-basierten Transistoren und abhängig von den Testbedingungen sowohl Verringerungen als auch Erhöhungen der von GaN-Transistoren bekannten Dispensionserscheinungen ermittelt werden. Im Waferverbund wird die Erhöhung des dynamischen Einschaltwiderstands ($R_{\text{dyn-ON}}$) über eine gepulste Kennlinie 0.2 μs nach dem Einschaltereignis von einem gesperrten Zustand bei 65 V Drainsperrspannung aus gemessen. Hier zeigen die Transistoren in der Hochspannungstechnologie eine nur 1.2-fache Erhöhung des dynamischen Widerstands. Abb. 6, links zeigt, dass die AlN-basierten Transistoren mit 700 nm langen Gates im Vergleich zur herkömmlichen GaN-Technologie ein wesentlich kleineres (und somit günstigeres) Verhältnis aus dynamischen R_{ON} zu Durchbruchspannungsskalierung aufweisen – so wie es das Projektziel war.

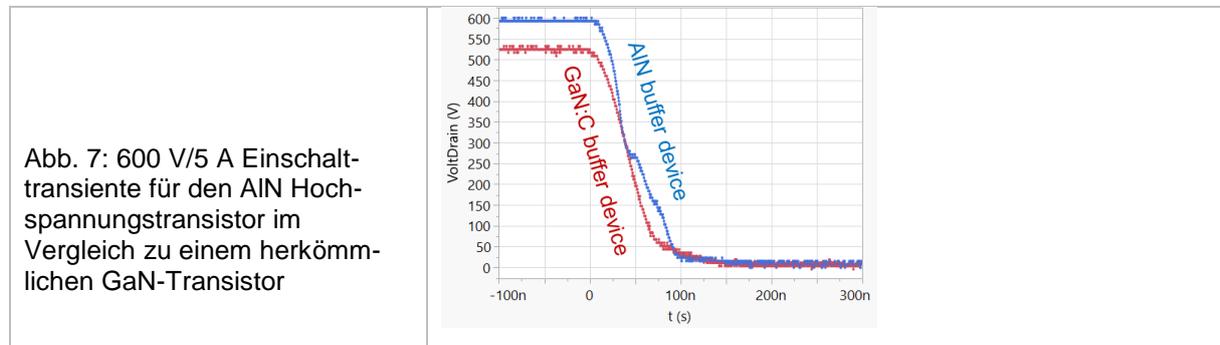


Allerdings zeigt dieselbe Messmethode, dass bei AlN-basierten Transistoren mit den kurzen 150 nm Gates der Stromstärkeneinbruch bei 10 V Drainspannung um 60% höher liegt als bei Transistoren mit konventionellen GaN Puffer. Diese für kurze Gates spezifisch starke Dispersion ist die Ursache für die mit diesen Transistoren geringe erzielte Ausgangsleistung bei 10 GHz (siehe Abb. 2).

Hochspannungsschaltmessungen belegen für die AlN-basierten Transistoren ein von konventionellen GaN Transistoren nicht bekanntes Verhalten des dynamischen Einschaltwiderstands (Abb. 6, rechts). Während die Erhöhung von $R_{\text{dyn-ON}}$ für Sperrspannungen bis 250 V mit Werten < 1.2 klein bleibt, steigt $R_{\text{dyn-ON}}$ für höhere Sperrspannung bis etwa 400 V sehr stark an (4-fache $R_{\text{dyn-ON}}$ -Erhöhung) um bei noch höheren Sperrspannungswerten wieder stark abzufallen (Faktor 1.5 bei 550 V) Dieses Verhalten wird im Projektnachgang weiter untersucht und physikalisch-basierte Bauelementsimulationen weisen auf lokalisierte Elektronen an der AlN-Puffer/GaN-Kanal Grenzschicht als Ursache, die bei sehr hohen Sperrspannungen durch

einen Löcherstrom wieder entladen werden. Genau an dieser Grenzfläche wurde auch eine schlechte GaN Materialqualität erkannt, siehe Kap. 2.1.

Nachdem sich für die an die TUB ausgelieferten Hochspannungstransistoren Verzögerungen beim schnellen Ausschalten oberhalb 100 V Sperrspannung zeigten, konnte dieses Problem in neuen Transistorprozessdurchläufen durch eine Verschiebung der Einsatzspannung gelöst werden (siehe Ausschalttransiente in Abb. 7) – allerdings zu spät für einen Einbau in den Projekt-Matrixinverter.



2.5 Konverterentwicklung und Aufbau

Die Basis des aufgebauten Matrixinverter-Demonstrators bildet eine modularer Hauptplatine, die eine Ausgangsphase des Matrixinverters darstellt und hinsichtlich ihrer Kommutierungsinduktivität optimiert ist. Das Kreissymmetrische Layout ermöglicht das Stapeln der zweiten und dritten Phase, siehe Abb. 4. Ergänzt wird die Hauptplatine um die Eingangsspannungs- und Ausgangstrommessung, die Diodenbrücke zum Überspannungsschutz und die optionale Erweiterung des Eingangsfilters. Als Leistungshalbleiter werden kommerzielle Anreicherungstyp GaN Transistoren (650 V 120 mΩ, 12 A) genutzt. Es wurde nur eine der drei Ausgangsphasen in Betrieb genommen. Abgesehen von den Ausgleichsströmen des Netz-Sternpunktes, der als Bezugspunkt für die Last genutzt wird und die Messungen bei Arbeitspunkten kleiner Leistungen beeinflusst, ist der Betrieb einer Phase repräsentativ für den kompletten Matrixkonverter. Bei Schaltfrequenzen bis 200 kHz konnte die Funktion des Umrichters bis 100 W demonstriert werden (Abb. 4). Die Topologie des Matrixinverters besitzt keinen natürlichen Kommutierungspfad des Laststroms mit Freilauf über die Dioden der jeweiligen Halbbrücke. Aufgrund dessen muss die Stromübergabe von einem Zweig zum Nächsten aktiv gesteuert werden. Zur Verminderung der dynamischen Ron Effekte von GaN Transistoren wurde eine Zwangskommutierung mit weichem Ein- und hartem Ausschalten gewählt.

3. Ergebnisse und Erfolge

3.1 Publikationen

(1) F. Brunner, O. Hilt, A. Reis, J. Würfl, and M. Weyers, "MOVPE Growth of AlN/GaN/AlN HFET Structures on 4H-SiC", Compound Semiconductor Week (CSW 2018), Cambridge/Boston, USA, May 29 - Jun. 1, pp. 177-178 (2018).

(2) F. Brunner, O. Hilt, M. Weyers, „MOVPE Growth of AlGaIn/GaN/AlN HFET Structures on 4H-SiC", 18th European Workshop on Metal-Organic Vapour Phase Epitaxy (EW-MOVPE) (16.-19.06.2019), Vilnius, Litauen (2019).

3.2 Wissenschaftliche Veranstaltungen

O. Hilt: "AlN-based Transistors for Power Switching and RF Amplification", eingeladener Vortrag, Kolloquium Halbleitertechnologie und Messtechnik, Fraunhofer IISB, Erlangen, 03.06.2019.

3.3 Drittmittelinwerbung

Im Rahmen der BMBF Förderbekanntmachung „ForMikro“ vom 17.10.2018 wurde das Verbundprojekt „Leistungstransistoren auf Basis von AIN (LeitBAN)“ auf Basis der in AIPower erzielten Ergebnisse eingeworben. Das FBH koordiniert den Projektverbund aus 6 Forschungseinrichtungen. Projektstart war der 01.10.2019 und die Projektsomme beträgt 3.559 T€, von denen 1.036 T€ auf das FBH entfallen.

3.4 Öffentlichkeitsarbeit

Im Rahmen des FBH-Periodikums *frequent* wurde in der Ausgabe 12 „Wide bandgap devices & modules for efficient power electronics“ vom Februar 2020 über die AIN-Elektronikarbeiten aus AIPower berichtet.

4. Chancengleichheit

Zur Wahrung der Chancengleichheit wurde bei der an der TUB zu besetzenden Stelle eines wissenschaftlichen Mitarbeiters in der Ausschreibung vom 21.02.2018 deutlich darauf hingewiesen, dass Bewerbungen von Frauen mit der jeweiligen Qualifikation ausdrücklich erwünscht sind. Auf die Stelle hat sich keine Frau mit Qualifikation im Themenbereich Leistungselektronik beworben.

5. Qualitätssicherung

Die Qualitätssicherung wird durch den Einsatz von standardisierten Messaufbauten (im Rahmen des Möglichen) und validierten Routinen für die Messdatenauswertung gewährleistet. Darüber hinaus werden Forschungsergebnisse in Arbeitsgruppen der TUB und des FBHs im festen Turnus diskutiert und analysiert.

(Im Rahmen des Projektes wurden sechs Studierende der TUB in Studienprojekten betreut.)

6. Zusätzliche eigene Ressourcen

Die für die Waferprozessierung im Reinraum anfallenden Kosten wurden nur begrenzt im Antrag berücksichtigt, und die dafür zusätzlich vom FBH eingesetzten Mittel liegen bei etwa 150.000 €.

7. Strukturen und Kooperation

Der Partner TUB war zur Realisierung des Meilensteins M5 auf die voll funktionsfähigen aber noch zu entwickelnden bidirektionalen AIN Transistoren des FBH angewiesen. Da letzteres nicht komplett gelang, konnte der avisierte Matrix-Konverter nicht demonstriert werden. Die TUB realisierte aber einen Matrix-Konverter auf Basis kommerzieller 650 V GaN Transistoren.

8. Ausblick

Mit der Entwicklung von AIN/GaN/AIN-Transistoren wurde in AIPower Neuland betreten und insbesondere die entdeckten Dispersionsphänomene führten dazu, dass zwei Meilensteine nicht erreicht werden konnten. Die Ursache der Dispersion konnte auf Epitaxieprobleme beim Wachstum des GaN-Kanals auf dem AIN-Puffer zurückgeführt werden. Die erreichten Projekterfolge, insbesondere mit der hohen Spannungsfestigkeit, führten zu einem neuen BMBF Verbundprojekt, indem an der Lösung der genannten Probleme hin zu einsatzfähigen Bauelementen gearbeitet wird.